

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-235855

(43)Date of publication of application : 13.09.1996

(51)Int.Cl. G11C 11/401

(21)Application number : 08-085489 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.04.1996 (72)Inventor : TODA HARUKI  
WATANABE  
YUUJI  
KUYAMA  
HITOSHI  
SAITO SHOZO

(30)Priority

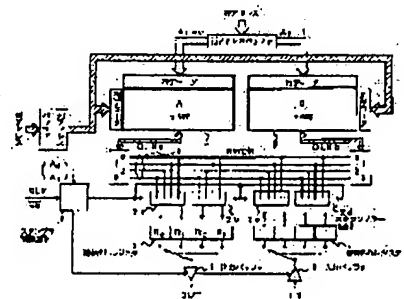
Priority number : 04 63835 Priority date : 19.03.1992 Priority country : JP

## (54) CLOCK SYNCHRONIZATION TYPE SEMICONDUCTOR STORAGE DEVICE AND ITS ACCESS METHOD

(57)Abstract:

PURPOSE: To eliminate the generation of the cycle, in which clock cycle synchronized data output does not take place, by controlling the selection order of a scramble means in accordance with data access starting addresses.

CONSTITUTION: Block cell groups A and B of a memory cell section are accessed in accordance with a least significant bit value of a row address. Then, four bit data including a column address are read from accesses cell groups A or B, transferred to a RWD line 8, held, read for every two bits and stored in a register 3. At that time, which two bits are to be transferred is selected by scramblers 2a and 2b. Each scrambler is controlled by the control signal generated by a control circuit 1



based on the condition of least significant two bits of the column address which is updated for every two cycles and the data output condition of reading registers R0 to R3. Then, by scanning the registers R0 to R3 with a certain order, data are outputted at a high speed.

---

#### LEGAL STATUS

[Date of request for examination] 08.04.1996

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of  
application other than the  
examiner's decision of rejection or  
application converted registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-235855

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl.<sup>6</sup>  
G 1 1 C 11/401

識別記号 庁内整理番号

F I  
G 1 1 C 11/34

技術表示箇所

3 6 2 C  
3 6 2 H

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平8-85489  
(62) 分割の表示 特願平4-341907の分割  
(22) 出願日 平成4年(1992)12月22日  
  
(31) 優先権主張番号 特願平4-63835  
(32) 優先日 平4(1992)3月19日  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 戸田 春希  
神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内  
(72) 発明者 渡辺 裕待  
神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内  
(72) 発明者 久山 均  
神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内  
(74) 代理人 弁理士 鈴江 武彦 (外6名)

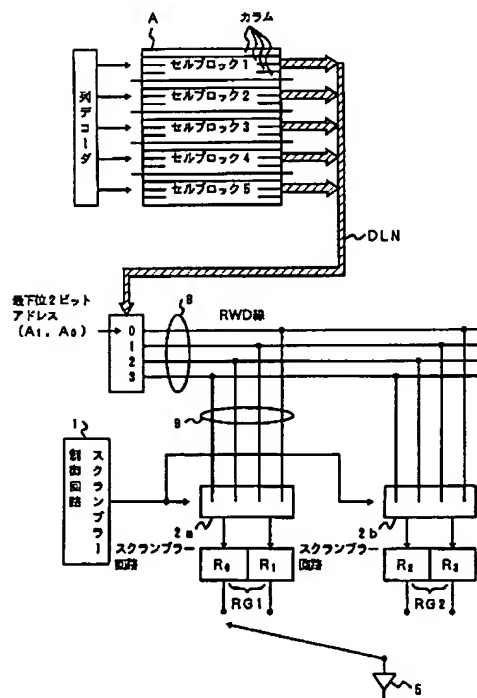
最終頁に続く

(54) 【発明の名称】 クロック同期型半導体記憶装置およびそのアクセス方法

(57) 【要約】

【課題】 高速かつ頻繁な列アドレス指定の変化に対応したクロック同期型半導体記憶装置およびそのアクセス方法を提供する。

【解決手段】 クロック信号に同期して実行されるクロック同期型半導体記憶装置において、行および列アドレスデータによりデータアクセス対象のメモリセルは指定され、メモリセルは少なくとも2つ以上のブロックに分割されており、一方のブロックがアクセス動作状態のとき、他方のブロックはアクセス動作準備状態もしくはアクセス動作待機状態に設定され、あるブロックがアクセス指定されたとき、該ブロックがアクセス動作状態であればアクセス動作準備状態を経てアクセス動作状態に設定され、もしくはあるブロックがアクセス指定されたとき該ブロックがアクセス動作準備状態またはアクセス動作待機状態であればアクセス動作状態に設定され、該アクセス動作状態に設定されるブロックの指定は、ブロックを指定するアドレスデータの所定のビットにより指定される。



## 【特許請求の範囲】

【請求項1】 行列状に配置された複数のメモリセルから構成され、該メモリセルは複数のブロックに分割された構成を有するメモリと、

前記メモリと外部とのデータアクセスを行うため、一まとまりのアクセスデータを一時的に蓄積する複数のレジスタと、

前記レジスタのいずれかに前記アクセスデータを格納するかを選択を行うスクランブル手段と、

クロック信号のサイクル毎に、前記スクランブル手段に前記レジスタのそれぞれに所定の順序で巡回的に前記アクセスデータを格納させる制御を行うスクランブラー制御回路と、

前記レジスタおよび外部とのデータのやり取りを行う出力手段とから構成され、

前記スクランブル制御手段は、データアクセス開始のための先頭アドレスが与えられる毎に前記スクランブル手段の選択順位を所定の順序で設定する機能を有することを特徴とするクロック同期型半導体記憶装置。

【請求項2】 請求項1に記載のクロック同期型半導体記憶装置において、

前記レジスタは、入力用の複数のレジスタと出力用の複数のレジスタとから構成され、

前記出力用のレジスタは、各々が $a$ 個毎のレジスタからなる $m$ グループのレジスタブロックに分割されており、 $n = a \times m$  ( $m, n$ は正の整数)は前記ブロックからデータアクセスのために転送されてくるデータ数に等しく設定されており、前記クロック信号の $a$ サイクル毎に該データ数は該レジスタ内に格納され、

該データ格納毎に前記スクランブル制御手段は前記スクランブル手段の選択順位を変更することを特徴とするクロック同期型半導体記憶装置。

【請求項3】 請求項2に記載のクロック同期型半導体記憶装置において、

前記クロック信号の最小単位のサイクルに要する時間 $T \times a$ は、前記アクセスデータを前記ブロックから前記レジスタへ格納するために必要な時間に等しい値に設定することを特徴とするクロック同期型半導体記憶装置。

【請求項4】 行列状に配置された複数のメモリセルから構成され、該メモリセルは複数のブロックに分割された構成を有するメモリと外部とのデータアクセスをクロック信号に同期して実行し、複数のレジスタ内に前記メモリと外部とのデータアクセスを行うため、一まとまりのアクセスデータを一時的に蓄積し、

スクランブル手段により、前記レジスタのいずれかに前記アクセスデータを格納するかを選択を行い、

スクランブラー制御回路により、クロック信号のサイクル毎に、前記スクランブル手段に前記レジスタのそれぞれに所定の順序で巡回的に前記アクセスデータを格納させる制御を行い、

出力により、前記レジスタおよび外部とのデータのやり取りを行い、

前記スクランブル制御手段により、データアクセス開始のための先頭アドレスが与えられる毎に前記スクランブル手段の選択順位を所定の順序で設定することを特徴とするクロック同期型半導体記憶装置のアクセス方法。

【請求項5】 請求項4に記載のクロック同期型半導体記憶装置のアクセス方法において、

前記レジスタを、入力用の複数のレジスタと出力用の複数のレジスタとから構成し、

前記出力用のレジスタを、各々が $a$ 個毎のレジスタからなる $m$ グループのレジスタブロックに分割し、 $n = a \times m$  ( $m, n$ は正の整数)を前記ブロックからデータアクセスのために転送されてくるデータ数に等しく設定し、前記クロック信号の $a$ サイクル毎に該データ数を該レジスタ内に格納し、

該データ格納毎に前記スクランブル制御手段により前記スクランブル手段の選択順位を変更することを特徴とするクロック同期型半導体記憶装置のアクセス方法。

【請求項6】 請求項5に記載のクロック同期型半導体記憶装置のアクセス方法において、

前記クロック信号の最小単位のサイクルに要する時間 $T \times a$ を、前記アクセスデータを前記ブロックから前記レジスタへ格納するために必要な時間に等しい値に設定されていることを特徴とするクロック同期型半導体記憶装置のアクセス方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に関するもので、特に詳細にはデータを高速に入出力することのできるクロック同期型半導体装置およびそのアクセス方法に関する。

【0002】

【従来の技術】以前に筆者はシステムに供給される基本クロックに同期して、その基本クロックの特定番目のサイクルでアドレスを取り込み、さらにそのサイクルから数えて一定数のサイクル後にデータの入出力を開始する半導体記憶装置を提案した(特願平3-255354)。その半導体記憶装置の動作では行のアドレスを与えてからデータが出力されるまでのデータの出力を行わないサイクルが存在していた。したがってクロックに同期してデータ出力を行っている途中で、例えば行アドレスを変えるとデータの出力されないサイクルが生じてしまうことになる。また、列アドレスの場合でも、頻繁に列アドレスを変化させてランダムアクセス性を持たせることには適していない。この点について、以下に詳細に説明する。

【0003】半導体メモリのメモリセルアレイの構成は、複数のメモリセルが規則正しく配列された行と列とからなるマトリクス構造をしている。一般には行のアド

3

レスによりワード線に属する一連のセルが選択されて、列アドレスにより選択されたワード線内のひとつのセルのデータが選択される。この為、行アドレスの確定からデータの出力までにかかる時間は、列アドレスの確定からのデータ出力までにかかる時間より長い時間を必要とする。このため、一連のクロック同期のデータ出力中に新たな行アドレスが設定されると、新たな行アドレスの行をアクセスするための時間が必要とされるために、クロック同期のデータ出力が途切れることになる。これがデータの出力されないサイクルと呼ばれる。特にDRAMでは新たな行アドレスのアクセスの前には必ずプリチャージ時間が必要であるため、個々のデータの出力の途切れの時間は長くなる。図2は、上記したデータの出力されないサイクルを具体的に示した図である。同図においてまずメモリのアクセスは制御信号ロウイネーブル/REが“L”のサイクルのときに行アドレスを与え（CLK1）、例えばそのサイクルから2サイクル後に制御信号ラムイネーブル/CEが“L”のサイクルのとき（CLK3）行アドレスを与えることによりメモリセル群の所定列のアクセスが開始される。このデータは出力されるまで何サイクルかを経た後に、例えば列アドレスを与えた後4サイクル目（CLK7）で外部回路とのデータ受け渡しが可能となる。次に、決められた順序に従ってサイクル毎にデータが出力される。行アドレスが与えられた後の一連の指定されるセルデータは全て最初に与えられた行アドレスに属している。これはDRAMにおいては、行アドレスからのアクセスはセルデータをセンスしセンスアンプに保持するのに時間がかかるが、列アドレスに対するアクセスはこのセンスアンプに保持されたデータを読み出してくるだけなので比較的少ない時間で読み出すことができるからである。さて、制御信号/REを“L”にして新たな行アドレスを設定した場合、今までセンスアンプに保持していたデータをリセットし、新たな行のデータのセンスを行うためにセンス系のプリチャージが必要である。このプリチャージを行った後にセンス動作を行い、新たな列データをセンスアンプに保持する。この新たに指定される行のためのプリチャージの期間中、以前の行アドレスに属するデータは、出力レジスタにまとめて読み出された分については出力し続けることが出来るが、その分の出力の完了後は、出力すべきデータがまだ準備されていないため出力動作は停止する。同図では新たな行アドレスが設定されたサイクル（CLK12）から3サイクル（CLK15）後までデータ出力が持続できる。この例では、新たな行アドレスのデータ出力には最低でも6サイクル掛かるため、2サイクルのデータ出力の隙間が生じる。

【0004】

【発明が解決しようとする課題】以上説明してきたように、従来のクロック同期型半導体装置では行アドレスの指定を変化させるとクロックに同期したデータ出力が途

4

切れて、クロック同期型メモリとしての機能を完全に発揮できないという問題があった。

【0005】また、列アドレスの変化に対してのデータ出力であるが図4に示すように、筆者が提案した半導体記憶装置においては（図3参照）、記憶セル群32からシリアルレジスタ37に一括して一列分のデータが転送されるので、シリアルレジスタ37の長さ分のデータを出力するのに必要なサイクル内では列アドレスを任意に変更出来ない。つまりこの場合、メモリセルの高速アクセスのためにシリアルレジスタ37のアクセスは常に一定の順序で行われ、このレジスタ37へのデータ一括転送の際にのみ、そのレジスタ37のアクセスの先頭を決めることが出来るからである。従って、この例ではシリアルレジスタ37のビットが多ければ多いほどそのランダムアクセス性の特徴がなくなってしまうことになる。

【0006】そこで本発明は、上記した従来の課題を解決するためになされたものであり、その目的とするところは、従来のクロック同期型アクセス方式において、行アドレスを変更することによりクロックサイクルに同期したデータ出力が行われないサイクルの発生をなくし、列アドレスに関しても、出力用のシリアルレジスタの長さに依らずにメモリセル内部でのデータ転送に要する時間のみで決まるサイクルで、新列アドレスに変更してのクロック同期型のアクセスが可能なシステムを提供することにある。

【0007】

【課題を解決するための手段】上記した従来の課題を解決するため、本発明の請求項1に記載のクロック同期型半導体記憶装置では、行列状に配置された複数のメモリセルから構成され、該メモリセルは複数のブロックに分割された構成を有するメモリと、前記メモリと外部とのデータアクセスを行うため、一まとまりのアクセスデータを一時的に蓄積する複数のレジスタと、前記レジスタのどれに前記アクセスデータを格納するかを選択を行うスクランブル手段と、クロック信号のサイクル毎に、前記スクランブル手段に前記レジスタのそれぞれに所定の順序で巡回的に前記アクセスデータを格納させる制御を行うスクランブラー制御回路と、前記レジスタおよび外部とのデータのやり取りを行う出力手段とから構成され、前記スクランブル制御手段は、データアクセス開始のための先頭アドレスが与えられると前記スクランブル手段の選択順位を所定の順序で設定する機能を有することを特徴としている。

【0008】さらに、請求項4に記載のクロック同期型半導体記憶装置のアクセス方法においては、行列状に配置された複数のメモリセルから構成され、該メモリセルは複数のブロックに分割された構成を有するメモリと外部とのデータアクセスをクロック信号に同期して実行し、複数のレジスタ内に前記メモリと外部とのデータアクセスを行うため、一まとまりのアクセスデータを一時

的に蓄積し、スクランブル手段により、前記レジスタのいずれかに前記アクセスデータを格納するかの選択を行い、スクランブラー制御回路により、クロック信号のサイクル毎に、前記スクランブル手段に前記レジスタのそれぞれに所定の順序で巡回的に前記アクセスデータを格納させる制御を行い、出力手段により、前記レジスタおよび外部とのデータのやり取りを行い、前記スクランブル制御手段により、データアクセス開始のための先頭アドレスが与えられる毎に前記スクランブル手段の選択順位を所定の順序で設定することを特徴とする。

【0009】上記したクロック同期型半導体記憶装置およびアクセス方法においては、ブロックを指定するアドレスデータとしての行アドレスの一部のビットが変化する毎に、アクティブとなるメモリセルブロックを変えて、前アクティブなメモリセルブロックからのデータがシリアルレジスタから出力されている間に、新しくアクティブとなるメモリセルブロックをアクセスして行アドレスからデータ出力までの新しいデータが出力されないサイクルを無くすようにしている。また、メモリセルブロックから出力用のシリアルレジスタにデータを格納する際にレジスタの構成要素の一部毎にデータを格納し、その際、与えられた列アドレスに従って決まったデータ順に従って該レジスタへ格納していくことにより、シリアルレジスタのアクセス順は常に一定としたまま高速動作を行ない、かつ頻繁な列アドレスの変更にも十分対処できるようにしている。

【0010】

【発明の実施の形態】以下、本発明の実施例を図面を用いて説明する。

【0011】図1は、本発明によるクロック同期型半導体記憶装置のブロック図である。同図においてメモリセル部は2つのブロック部分AおよびBに分かれ、このブロックの部分の選択は、例えばブロックを指定するアドレスデータとしての行アドレスの最下位ビットの値を変化させて行う。このブロックセル群A、Bは行アドレスを与えられると、そのアドレスの最下位ビットの値に対応したブロックセル群がアクセス動作を開始し、かつもう一方のブロックセル群がアクセス動作待機状態になればそのブロックセル群をアクセス動作待機状態にさせて動作する。例えばDRAMのセルを用いた場合には、アクセス動作の前には必ずセルアレイのプリチャージが必要であるが、いままでプリチャージ状態にあったセル群のアクセスが開始されると、他方のセル群ではプリチャージを開始して次のアクセスに備える。また、アクセスに対して待機状態にないセル群が選択されると、そのセル群のアクセス動作はまずプリチャージを開始してアクセス動作待機状態を経てアクセス動作を開始する。

【0012】このセル群の動作状況を示しているのが図5である。同図ではチェッカ模様のサイクルがアクセス動作の準備待機期間を表している。図5では制御信号／

REが“L”のサイクル毎（CLK1, 7, 13, 23）にセル群がA, B, B, Aの順にアクセスされるとしている。Aがアクセス状態になるサイクル（CLK1）から2サイクル後（CLK3）に、Bは次のアクセス動作の待機状態（チェッカ模様51）にはいる。次にBがアクセス状態に入る（CLK7）と2サイクル後（CLK9）にAはアクセス動作待機状態（チェッカ模様52）になる。次に再びBがアクセス（CLK13）されると、Bはすぐアクセス待機状態（チェッカ模様53）に入り、アクセス動作の準備を行った後にアクセス動作状態になる。以下同様な動作が行アドレスとセル群のアクセス状態によって繰り返される。

【0013】ブロック毎のアクセス方法は上記に示した実施例の他に次に示すアクセス方法も考えられる。例えば、ブロックセル群A、Bに行アドレスが与えられた場合、その行アドレス内のブロック選択用のビット値に対応したブロックセル群がアクセス動作待機状態にあればアクセス動作を開始し、既にアクセス動作状態にあれば、アクセス待機状態を経なければならぬようにアクセスは無視される動作を行なう様にす。即ち、アクセス待機状態にするためにはブロック選択用のアドレスビットでブロックセル群を指定して、待機状態に設定するための命令信号を与える。例えばDRAMのセルを用いた場合には、今までプリチャージ状態にあったブロックセル群が選択されるとすぐアクセス動作を開始し、一方既にあるワード線が選択されてセルデータのセンスが完了確定した状態（読み出し開始完了状態）のブロックセル群が選択され、かつ、その選択命令が別のワード線を選択するものであればそのアクセス動作は無視され、既に選択されたワード線に属するセルの選択であればそのセルから（後に述べるような方法に従って）データの読み出しが開始される。

【0014】この場合のセル群の動作状況を示しているのが図10に示されるタイミング図である。プリチャージにはいる命令信号は制御信号／REとライトイネーブル信号／WEが同時に“L”となることとしている。同図ではチェッカ模様のサイクルがアクセス動作の準備待機期間を表しているのは図1に示した実施例の場合と同じである。図10の実施例では図1の実施例と同様に制御信号／REが“L”のサイクル毎（CLK1, 7, 17, 23）にセル群がA, B, B, Aの順にアクセスされるとしている。図10の実施例は、図6の実施例と同様にアクセス動作の準備待機期間を持たせるための入力信号のタイミングを示している。Aがアクセス状態に入るサイクル（CLK1）から2サイクル後（CLK3）に、制御信号／REと／WEを“L”にしてBのセル群を選びアクセス動作の待機状態（チェッカ模様の101）にはいる。次にBがアクセス状態に入った（CLK7）後ブロックセル群Aをアクセス待機状態（チェッカ模様102）にするため、制御信号／REと／WEを

7

“L”とする（CLK9）。次に再びブロックセル群Bをアクセスするために、ブロックセル群Bをアクセス待機状態（チェッカ模様103）に制御信号／REと／WEを“L”にする（CLK13）ことによって設定する。ブロックセル群Bのアクセス準備が終了したサイクル（CLK17）で制御信号／REを“L”にしてブロックセル群Bのアクセス動作を開始する。以下同様の動作を繰返してアクセス動作を行なう。

【0015】図1に戻って、アクセス状態に入ったセル群から与えられた列アドレスを含む、例えば4ビットのデータが読み出され、4本のRWD線に、データ転送線DLNa、DLNbを介して読み出される。これらのデータは2ビットずつ読みだされレジスタに転送されて行く。しかし、どの2ビットを転送するかは2サイクル毎に更新可能な列アドレスの下位2ビットの状態と読出しレジスタR0～R3のデータ出力状態により、スクランブラー制御回路1から出力された制御信号に基づいてスクランブラー2a～2dが行う。レジスタR0～R3からのデータ出力はレジスタR0～R3を常に一定の順序でスキャンすることによって高速なデータ出力を実現する。このレジスタR0～R3のアクセス順は常に一定で、新列アドレスへの対応したアクセスは、レジスタR0～R3へのデータ転送でデータをスクランブルして任意のアドレスからデータアクセスを開始できるようにしている。このために高速化と、セル群A、Bからのデータ転送時間のみで決まるサイクル（この場合は2サイクル）で先頭アドレスを変更できるランダム性を実現できるようになった。なお、この例ではセル群A、Bから出力されたデータは4ビット単位で転送されるため、シリアルアクセスのアドレス変化は、列アドレスの下位2ビットがその先頭アドレスから4つの全ての状態を一巡する変化をする。例えば0, 1, 2, 3; 1, 2, 3, 0; 2, 3, 0, 1; 3, 0, 1, 2など。

【0016】書き込み動作に関しては、データ出力のほぼ逆の手順で考えれば良く、書き込みレジスタに常に一定の順でデータを書き込み2ビットずつスクランブラーを通してセル群へデータを転送していくものである。この時セル群A、Bへのアクセス可能セルは4ビットずつの塊になっていることは読み出し動作の場合と同様である。

【0017】次に図6を用いて、読み出し動作の場合のデータ転送方式をさらに詳しく説明する。最下位の2ビットを除いた列アドレスによって同時に指定される4カラム（例えばA1）から読み出されるデータは、並列に転送されて4本のRWD線8に、次のデータが転送されてくるまで保持される。このデータ保持期間に、現在アクセスされているレジスタR0～R3や先頭アドレスの情報などによって決まるスクランブルに従ってスクランブラー制御回路1から発生された信号によって制御されたスクランブラー回路を通して、2ビットずつのデータ

8

がレジスタ（RG1, RG2）へと転送される。レジスタR0～R3からのデータ出力は一定の順序でレジスタR0～R3をアクセスすることによって間断なく行われる。図で言えば常にR0→R1→R2→R3→R0→…の順序で巡回的にレジスタからデータが外部に出力される。この巡回的にアクセスされているレジスタR0～R3にスクランブラー2a, 2bを通してデータが格納されるわけであるが、二つのレジスタ毎にデータが格納されるのでこの格納の度毎に巡回アクセスの先頭アドレス変更ができる。なお、レジスタの長さや何ビットづつまとめてデータを格納するかなどの設定はRWD線8に新しいデータが転送されるまでに幾つのレジスタがアクセスされるかで決めることができる。本実施例ではレジスタR0～R3のアクセスの2サイクルで任意の4カラムのデータがセルブロックからRWD線8に転送されるとしている。ところで、図6では4カラムのまとめりA1～A5を5つしか描いていないがこれはメモリの大きさによって幾つであっても良いのはもちろんである。スクランブラー2a～2dの具体的な構成とRWD線8とレジスタR0～R3との接続関係などは後述するが、まずデータの流れをタイミング図を用いて説明する。

【0018】図7は基本クロックCLKのサイクル毎に図6に示したレジスタR0～R3の各部分にデータが転送されていく流れを示したものである。基本クロックの立ち上がりの度にレジスタR0～R3は常に一定の順序でアクセスされていく。レジスタR1とR3のアクセス開始サイクル（例えばCLK1, CLK3）においてアクセスの先頭アドレスの変更が可能となる。図7に示す様にこのサイクルにおいて制御信号／CEを“L”として列アドレスを取り込み、新たな先頭アドレスとしている。RWD状態として示してあるのは0から3のRWD線にデータがラッチされている期間を示している。新しいアドレスが設定されたサイクル（CLK1）からほぼ2サイクル（CLK3）かかって新しいデータはRWD線に転送されてRWD線の状態を変化させる。新しいアドレスの設定がない場合（例えば、CLK7）はRWD線はそのままデータ保持状態を維持しても良い。また、最後のアドレス設定から4サイクル毎にチップ内部のカウンターが自動的にアドレスを発生させて自動的にアドレスのインクリメントを行うようにしても良い。

【0019】レジスタ転送期間と示してあるのは、それぞれ2個のレジスタから構成されるレジスタ群RG1とRG2へのデータ転送期間を示していて、“H”の時RG1へ、“L”の時RG2へのデータロード期間である。レジスタ転送期間の下にはスクランブラー状態を示してある。新アドレスの設定がない限りスクランブラーの設定は維持される。また、内部カウンターでのアドレスインクリメントを行う場合には、スクランブラーの状態変化を生じない。すなわちRWD線に転送されるデータが次の4カラム、次の4カラムという様に変化しレジ

9

スタからのデータ出力の4ビット内の順序変更はないからである。レジスタRG1/RG2の状態として示したのは、太線がRG1、細線がRG2の状態を示していて、“H”の時にレジスタにデータが取り込まれ、“L”の時にデータが保持されている。この保持されたデータが各サイクルで巡回的にレジスタをアクセスすることによって出力データとして外部に出力される。

【0020】図8は、スクランブラー2a~2dの具体的な構成図である。これを用いてスクランブラーの具体的な動作について以下に示す。図8は4本のRWD線8とひとつのレジスタへのデータの転送経路を示している。実際には同様の回路がレジスタの数だけあることになる(図1、図6では省略している)。各回路では、クロックインバータへ入力する信号が異なる。

【0021】以下に示す表1は、クロックインバータへ入力する制御信号の表である。この信号が“H”の時にクロックインバータがインバータとして機能する。

【0022】

【表1】

	R				
		$\alpha$	$\beta$	$\gamma$	$\delta$
RG1	R0	a	b	c	d
	R1	d	a	b	c
RG2	R2	c	d	a	b
	R3	b	c	d	a

【0023】上の表で、例えばR2のレジスタの場合は、 $\alpha=c$ 、 $\beta=d$ 、 $\gamma=a$ 、 $\delta=b$ として信号入力となる。このクロックインバータを選択する信号a、b、c、dは先頭アドレスが新しく設定されたサイクルでRG1とRG2の何れのレジスタ群がアクセスを受けているか、列アドレスの最下位の2ビットがなんであるかによって決定される。これがスクランブラー制御回路の出力である。スクランブラー制御回路の出力の論理の表を次の表2に示す。

【0024】

【表2】

	(A1, A0)	(0, 0)	(0, 1)	(1, 0)	(1, 1)
RG1		c	d	a	b
RG2		a	b	c	d

【0025】上の表で、例えば制御信号/CEを“L”にして列アドレスを取り込むときにレジスタ群RG2が

10

アクセスされているサイクルであれば、その列アドレスの最下位2ビット(A1, A0)が(0, 1)であれば、bのみが“H”となり、このスクランブル信号は、このスクランブルを決めたアドレスのデータがレジスタに取り込まれるときにスクランブラーに設定される。今の例ではR0はRWD1に、R1はRWD2に、R2はRWD3に、R3はRWD0に接続されることになる。

【0026】本実施例のシステム構成を有するクロック同期型記憶装置における効果として、全体の構成図である図1およびその動作のタイミング図である図9を用いて、以下に説明する。すなわち、行と列のアドレスの変化に対して全くデータ出力の隙間がなくサイクル毎のデータ出力ができる様子を説明する。図9に示すタイミング図では便宜上セル群Aとセル群Bとのデータ出力(Aout, Bout)を分けて示したが、実際には同一の出力バッファからデータが出力されるのでデータ出力は各サイクルで連続して出力している。さて、制御信号/REが“L”であるサイクル(CLK1, 9, 15, 21)で、A, B, A, Bの順に行アドレスが設定されるとする。そして、先頭の列アドレスも2サイクル毎に更新されるとする。すなわち列アドレスのランダム性をできる限り取り入れた場合を想定する。まず、Aの行アドレスが設定されるサイクル(CLK1)から2サイクル目(CLK3)で、今までアクセス状態にあったセル群Bはプリチャージ動作を開始する。このためセル群Bからのデータ転送線DLNbのデータ状態は不確定となる。この様子を図ではハッチング91で示した。さて、RWD線8にはDLNaまたはDLNbの確定しているデータが保持されることになる。このRWD線8に保持されているデータがレジスタに転送されるが、この転送されるデータは図9で示されるようにDLNaまたはDLNbで確定したデータと同じである。図9中のレジスタRG1/2の状態のところで太線を用いて示したのはレジスタ群RG1状態で、細線で示したのはレジスタ群RG2の状態である。何れも“H”の状態がレジスタへのデータ転送期間である。従ってセル群BがプリチャージにはいるまでにCLNbのデータはレジスタ群RG1とRG2へと転送される。これらのデータが出力されている間にセル群AからのデータがDLNaに読み出され確定する。このデータは出力の終わったレジスタRG1に転送される。2サイクル経過すると次の列アドレスによって決まるカラムからのデータがDLNaに確定し、このデータはデータ出力の終わったレジスタ群RG2に転送される。以下同様にレジスタへの転送が続き間断なくデータが出力される。なおレジスタへのデータ転送の際には、以前に説明したように、列アドレスに従ってスクランブラー制御回路1が働き、所定の順序でデータがレジスタ群へ出力されるようにしてレジスタへデータを格納される。上記したように本発明のシステムによれば、間断ないデータの転送と、出来る限り頻繁なランダ



ムアクセス性を高速サイクル動作のメモリに実現することが出来る。

【0027】

【発明の効果】以上説明したように、本発明によれば、行アドレスの一部のビットが異なる毎に、アクティブとなるメモリセルブロックを変えて、前アクティブなメモリセルブロックからのデータがシリアルレジスタから出力されている間に、新しいメモリセルブロックをアクセスすることにより行アドレスからデータ出力までの新しいデータが出力されないサイクルを無くすることができる。さらに、メモリセルブロックから出力用のシリアルレジスタにデータを格納する際にレジスタの一部毎にデータを格納し、その際、与えられた列アドレスに従って決まったデータ順に格納していくことにより、シリアルレジスタのアクセス順は常に一定としたまま高速かつ頻繁な列アドレスの変更にも対処可能なクロック同期型アクセス方式の半導体記憶装置およびそのアクセス方法を提供することができる。

【図面の簡単な説明】

【図1】本発明のクロック同期型半導体記憶装置のブロック図。

【図2】従来のクロック同期型半導体記憶装置の行アドレス設定と出力データとの関係を示したタイミング図。

【図3】従来のクロック同期型半導体記憶装置のブロック図。

【図4】従来のクロック同期型半導体記憶装置の行アドレス設定と出力データとの関係を示したタイミング図。

【図5】図1に示したクロック同期型半導体記憶装置において行アドレスに対する動作を説明するタイミング図。

【図6】本発明のクロック同期型半導体記憶装置のデータ出力の方式を詳細に説明するブロック図。

【図7】図6に示した列アドレスに対する動作を説明するタイミング図。

【図8】図6に示したスクランブラ回路の具体的な回路構成図。

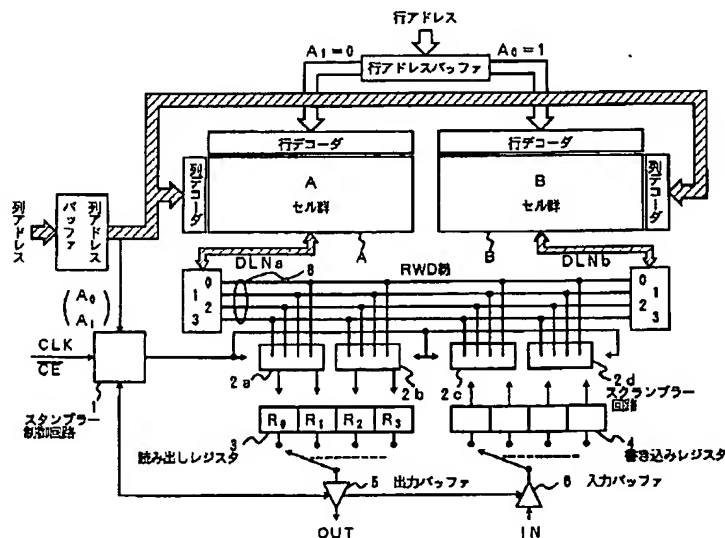
【図9】本発明のクロック同期型半導体記憶装置のデータ出力の動作および特徴を示すタイミング図。

【図10】図1に示すクロック同期型半導体記憶装置の他の動作を説明するタイミング図。

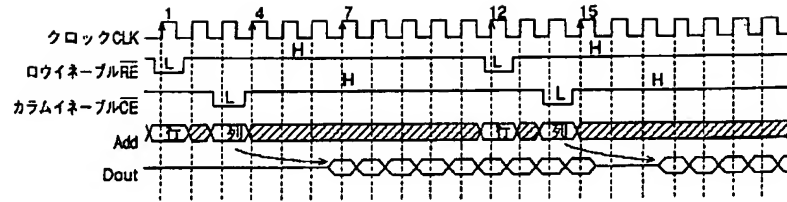
【符号の説明】

1…スクランブラ制御回路、2a～2d…スクランブル回路、3…読み出しレジスタ、4…書き込みレジスタ、5…出力バッファ、6…入力バッファ、8…RWD線。

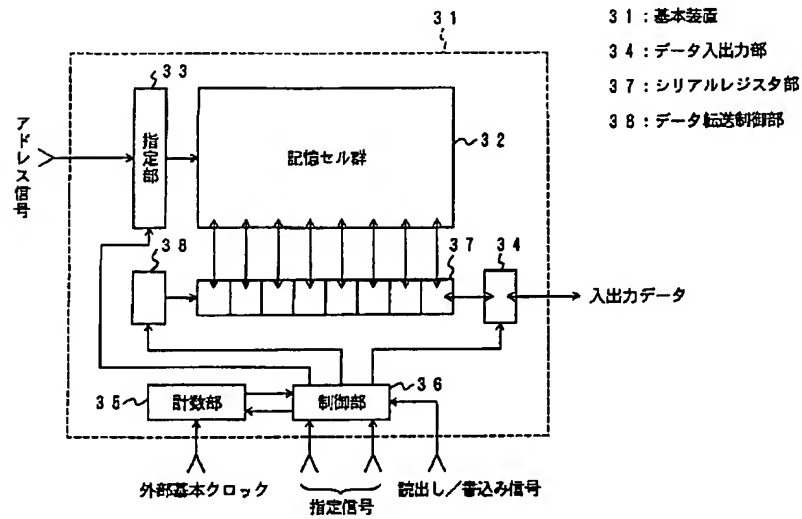
【図1】



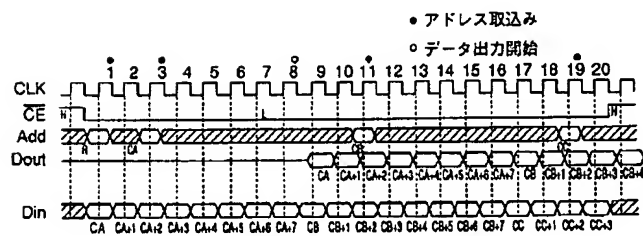
【図2】



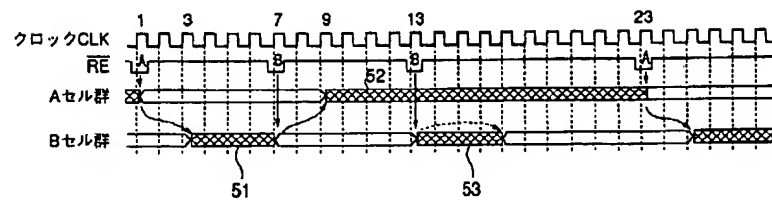
【図3】



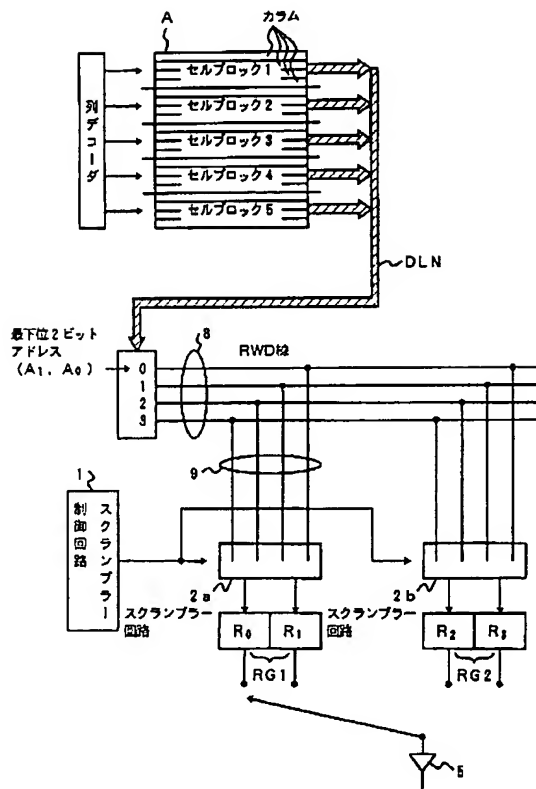
【図4】



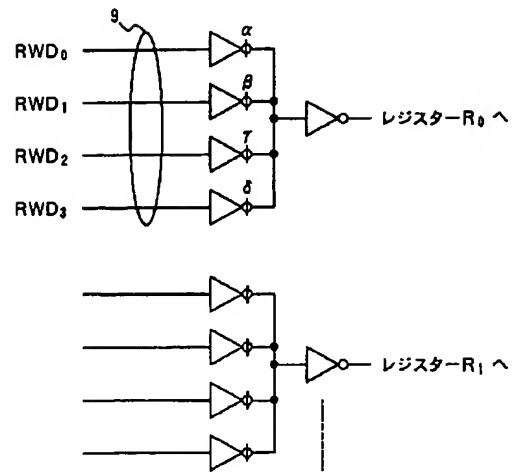
【図5】



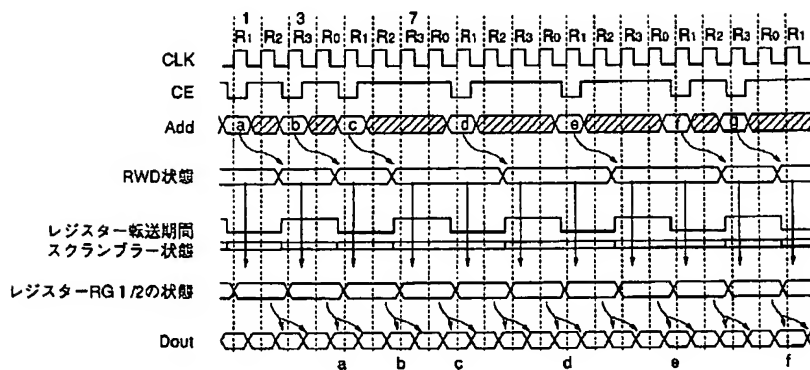
【図6】



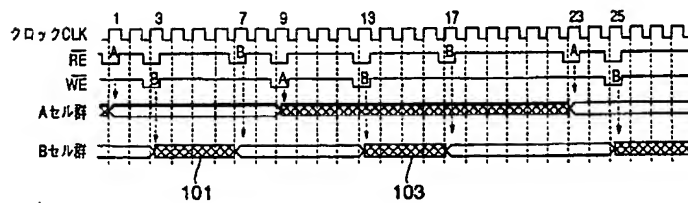
【図8】



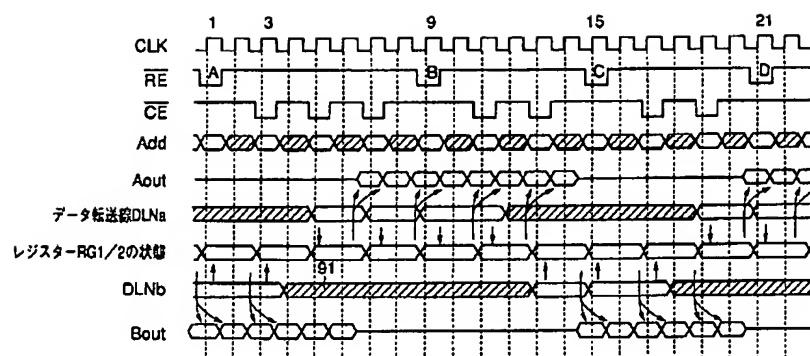
【図7】



【図10】



【図9】



フロントページの続き

(72)発明者 齊藤 昇三

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内